

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-073158

(43)Date of publication of application : 16.03.1999

(51)Int.Cl.

G09G 3/30

(21)Application number : 09-233107

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 28.08.1997

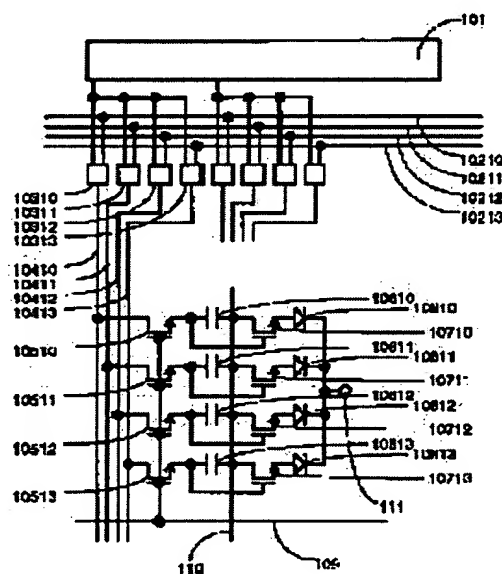
(72)Inventor : KIMURA MUTSUMI

(54) DISPLAY ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To decrease ununiformity of the light emitting intensity of a light emitting element, specially, of an organic EL element, and to improve the quality of image by connecting in series each of thin film transistors and light emitting elements and making the light emitting intensity of light emitting elements respectively different from each other.

SOLUTION: Pulses are outputted from a shift resistor 101 and digital signals of digital signals supply lines 10210-10213 of Nos.1-3 bits are transmitted to source lines 10410-10413 of Nos.1-3 bits. Current transistors 10710-10713 which are the thin film transistors and the organic EL elements 10810-10813, which are current elements are each connected in series. Then, ON-OFF control of the current transistors 10710-10713 of Nos.0-3 bits is made by digital signals, and the organic EL elements 10810-10813 of Nos.0-3 bits become light emitting or non light emitting corresponding to the digital signals. In this case, areas of organic EL elements 10810-10813 bits are different with each other, so the light emitting intensity differs from each other and an area gradation system is made possible.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

<http://www1.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAa17215DA411073158P1.htm>

8/15/2002

特開平11-73158

(43) 公開日 平成11年(1999) 3月16日

(51) IntCl.⁸
G 0 9 G 3/30

識別記号

F I
G 0 9 G 3/30

J

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平9-233107

(22) 出願日 平成9年(1997) 8月28日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 木村 睦

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

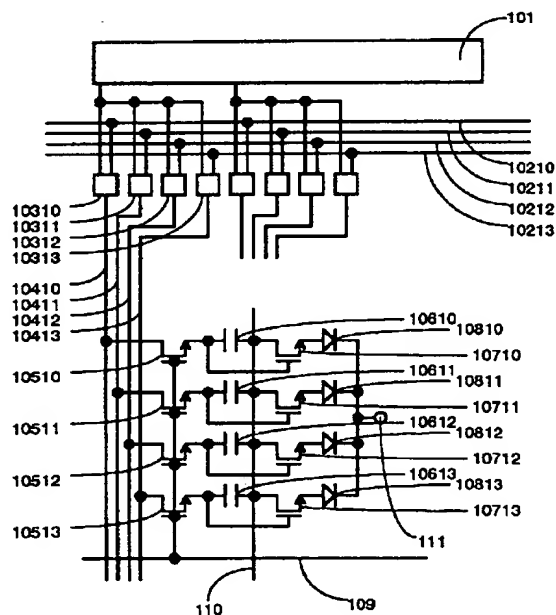
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 表示素子

(57) 【要約】

【課題】 電流発光表示素子において、トランジスタのコンダクタンスの不均一性に起因する、発光素子の発光強度の不均一性を低減し、画質の向上を実現することである。

【解決手段】 各画素に発光強度が各々異なる複数の発光素子を形成し、各発光素子の発光または非発光を制御することにより、階調を表現する。デジタル信号が各画素まで伝達され、各発光素子に直列に接続された薄膜トランジスタにより、制御する。各発光素子の発光強度は、公比2の等比数列である。薄膜トランジスタのオン抵抗は、発光素子のオン抵抗よりも小さく、薄膜トランジスタのオフ抵抗は、発光素子のオフ抵抗よりも大きい。



【特許請求の範囲】

【請求項1】 複数の走査線および複数の信号線と、前記走査線と前記信号線によりマトリクス状に形成された画素とを有し、前記画素に複数の薄膜トランジスタおよび複数の発光素子が形成されてなる表示素子において、前記薄膜トランジスタおよび前記発光素子は各々直列に接続され、前記発光素子の発光強度が各々異なることを特徴とする表示素子。

【請求項2】 請求項1記載の表示素子において、デジタル信号が、前記画素まで伝達されることを特徴とする表示素子。

【請求項3】 請求項1記載の表示素子において、前記発光素子の発光強度が、公比2の等比数列であることを特徴とする表示素子。

【請求項4】 請求項1記載の表示素子において、前記薄膜トランジスタのオン抵抗が、前記発光素子のオン抵抗よりも小さく、前記薄膜トランジスタのオフ抵抗が、前記発光素子のオフ抵抗よりも大きいことを特徴とする表示素子。

【請求項5】 請求項1記載の表示素子において、前記薄膜トランジスタが、600℃以下の低温プロセスで形成された、多結晶シリコン薄膜トランジスタであることを特徴とする表示素子。

【請求項6】 請求項1記載の表示素子において、前記発光素子が、インクジェットプロセスで形成された、有機エレクトロルミネッセンス素子であることを特徴とする表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示素子、特に、薄膜トランジスタおよび電流により発光する素子を備えた表示素子（以下、電流発光表示素子と表記する）に関する。

【0002】

【従来の技術】大型・高精細・広視角・低消費電力を実現する、将来的に非常に有望な電流発光表示素子として、薄膜トランジスタ有機エレクトロルミネッセンス素子（以下、TFT-OELDと表記する）が挙げられる。

【0003】従来のTFT-OELDの駆動を調査するために、日本特許情報機構のPATOLISにより、以下の検索式をもちいて検索したところ、71件がヒットした。

【0004】(EL+ (エレクトロルミネッセンス))

*表示*駆動* (法+方法+方式) これら全てを精査したところ、典型的な従来のTFT-OELDの駆動は、以下に説明するようになるものである。

【0005】図5に、従来のTFT-OELDの等価回路を示す。ここでは、1画素のみ図記しているが、実際には複数行・複数列の多数の画素が存在する。

【0006】シフトレジスタ101からパルスが出力され、アナログ信号供給線102のアナログ信号は、伝送スイッチ103を通じて、ソース線104へ伝達される。このとき選択されているゲート線109に対しては、アナログ信号は、スイッチングトランジスタ105を通じて、保持容量106に伝達される。アナログ信号によりカレントトランジスタ107のコンダクタンスが制御され、有機EL素子108はアナログ信号に対応した強度で発光する。

【0007】図6に、従来のTFT-OELDの駆動方法を示す。

【0008】第0列のシフトレジスタのパルスSR0により、アナログ信号Aは、第0列のソース線の電位S0へと伝達される。また、第1列のシフトレジスタのパルスSR1により、アナログ信号Aは、第1列のソース線の電位S1へと伝達される。まず、第0行のゲート線のパルスG0が印加されているときは、第0列のソース線の電位S0は、第0行・第0列の保持容量の電位C00に伝達され、第1列のソース線の電位S1は、第0行・第1列の保持容量の電位C01に伝達される。次に、第1行のゲート線のパルスG1が印加されているときは、第0列のソース線の電位S0は、第1行・第0列の保持容量の電位C10に伝達され、第1列のソース線の電位S1は、第1行・第1列の保持容量の電位C11に伝達される。各保持容量106の電位、すなわち対応するアナログ信号Aに従って、各有機EL素子108が所定の強度で発光する。

【0009】また、液晶表示素子の駆動方法のひとつに、面積階調方式が挙げられる。液晶表示素子では、中間電圧で、法線方向から逸脱した方向において、透過率の変化や階調反転が顕著である。面積階調方式はこの課題を解決することを目的としたもので、全透過、全不透過の面積比率により、階調を表現するものである。これにより、液晶表示素子の広視角化が実現されている。

【0010】

【発明が解決しようとする課題】従来例では、有機EL素子108の発光強度を制御するために、アナログ信号を用いて、カレントトランジスタ107のコンダクタンスを制御していた。すなわち、中間調を得るためには、カレントトランジスタ107のコンダクタンスと有機EL素子108のコンダクタンスとを同等にして、カレントトランジスタ107と有機EL素子108との電圧分割により、有機EL素子108に印加される電圧を制御しなければならない。しかし、このようなとき、パネル内またはパネル間でカレントトランジスタ107のコンダクタンスに不均一性が生じた場合、そのまま有機EL素子108の発光強度の不均一性として視認されてしまうという問題があった。

【0011】そこで、本発明の目的は、表示素子、または電流発光表示素子、特にTFT-OELDにおいて、

トランジスタのコンダクタンスの不均一性に起因する、発光素子、特に有機EL素子の発光強度の不均一性を低減し、画質の向上を実現することである。

【0012】

【課題を解決するための手段】

(1) 請求項1記載の本発明は、複数の走査線および複数の信号線と、前記走査線と前記信号線によりマトリクス状に形成された画素とを有し、前記画素に複数の薄膜トランジスタおよび複数の発光素子が形成されてなる表示素子において、前記薄膜トランジスタおよび前記発光素子は各々直列に接続され、前記発光素子の発光強度が各々異なることを特徴とする。

【0013】本構成によれば、各々異なる発光強度である複数の発光素子のそれぞれを、完全にオン状態あるいは完全にオフ状態のどちらかになるように制御するという階調方式が可能となる。これにより、薄膜トランジスタのコンダクタンスの不均一性に起因する、発光素子の発光強度の不均一性を低減することが可能となる。

【0014】(2) 請求項2記載の本発明は、請求項1記載の表示素子において、デジタル信号が、画素まで伝達されることを特徴とする、表示素子である。

【0015】本構成によれば、画素毎に、各々異なる発光強度である複数の発光素子のそれぞれを、完全にオン状態あるいは完全にオフ状態のどちらかになるように制御することが可能となる。

【0016】(3) 請求項3記載の本発明は、請求項1記載の表示素子において、発光素子の発光強度が、公比2の等比数列であることを特徴とする、表示素子である。

【0017】本構成によれば、画素毎にDAコンバータを備えることになり、デジタル信号に対応した発光強度特性を得ることが可能となる。

【0018】(4) 請求項4記載の本発明は、請求項1記載の表示素子において、薄膜トランジスタのオン抵抗が、発光素子のオン抵抗よりも小さく、薄膜トランジスタのオフ抵抗が、発光素子のオフ抵抗よりも大きいことを特徴とする、表示素子である。

【0019】本構成によれば、薄膜トランジスタのオン状態とオフ状態とを切り替えることにより、発光素子のオン状態とオフ状態を切り替えることが可能となる。

【0020】好ましくは、薄膜トランジスタのオン抵抗は、発光素子のオン抵抗に比べて、無視できるほど小さいほうがよい。このとき、発光素子を流れる電流は、発光素子のオン抵抗のみで決定され、薄膜トランジスタのオン抵抗が多少増減しようと、関係ない。故に、トランジスタのコンダクタンスの不均一性に起因する、発光強度の不均一性は、抑制される。さらに、好ましくは、薄膜トランジスタのオフ抵抗は、発光素子のオフ抵抗に比べて、極めて大きくほうがよい。このとき、発光素子を確実にオフ状態にすることができる。

【0021】(5) 請求項5記載の本発明は、請求項1記載の表示素子において、薄膜トランジスタが、 -60°C 以下の低温プロセスで形成された、多結晶シリコン薄膜トランジスタであることを特徴とする、表示素子である。

【0022】本構成によれば、安価かつ大面積を実現すると同時に、発光素子の駆動が可能な高移動度、高信頼性等の特長を得ることが可能となる。

【0023】(6) 請求項6記載の本発明は、請求項1記載の表示素子において、発光素子が、インクジェットプロセスで形成された、有機エレクトロルミネッセンス素子であることを特徴とする、表示素子である。

【0024】本構成によれば、高発光効率・長寿命等の優れた特性を実現する有機エレクトロルミネッセンス素子を、パネル上にバターンニングすることが可能になる。

【0025】

【発明の実施の形態】以下、本発明の好ましい実施の形態を、図面に基づいて説明する。

【0026】(実施例1) 図1は、本発明の実施例1に係るTFT-OELDの等価回路図である。ここでは、1画素のみ図記しているが、実際には複数行・複数列の多数の画素が存在する。

【0027】シフトレジスタ101からパルスが出力され、第0～3ビットのデジタル信号供給線10210～10213のデジタル信号は、それぞれ第0～3ビットの伝送スイッチ10310～10313を通じて、それぞれ第0～3ビットのソース線10410～10413へ伝達される。すなわち、デジタル信号が、各画素まで伝達されている。このとき選択されているゲート線109に対しては、デジタル信号は、それぞれ第0～3ビットのスイッチングトランジスタ10510～10513を通じて、それぞれ第0～3ビットの保持容量10610～10613に伝達される。薄膜トランジスタであるカレントトランジスタ10710～10713と、電流素子である有機EL素子10810～10813とは、各々直列に接続されている。故に、デジタル信号により第0～3ビットのカレントトランジスタ10710～10713のオン・オフが制御され、第0～3ビットの有機EL素子10810～10813はデジタル信号に対応して発光または非発光となる。

【0028】図2に、本発明の実施例1に係るTFT-OELDの平面図および断面図を示す。

【0029】発光素子である第0～3ビットの有機EL素子10810～10813の面積が、各々異なっているため、発光強度が各々異なり、いわゆる面積階調方式が可能となる。また、その面積すなわち発光強度が、公比2の等比数列となっており、DAコンバータの機能も、各画素毎に内蔵していることになる。

【0030】ここでは、シフトレジスタ101、第0～3ビットの伝送スイッチ10310～10313、第0

～3ビットのスイッチングトランジスタ10510～10513、カレントトランジスタ10710～10713等を構成する薄膜トランジスタが、600℃以下の低温プロセスで形成された、多結晶シリコン薄膜トランジスタである。ただし、同等の機能を持つものであれば、他の素子でも構わない。また、第0～3ビットの有機EL素子10810～10813は、インクジェットプロセスで形成されている。ただし、他のプロセスで形成されていたり、有機EL素子以外の電流発光素子であってもかまわない。

【0031】図3に、本発明の実施例1に係るTFT-OELDの駆動方法を示す。

【0032】第0列のシフトレジスタのパルスSR0により、第0および1ビットのデジタル信号D0およびD1は、第0列・第0および1ビットのソース線の電位S00およびS01へと伝達される。また、第1列のシフトレジスタのパルスSR1により、第0および1ビットのデジタル信号D0およびD1は、第1列・第0および1ビットのソース線の電位S10およびS11へと伝達される。まず、第0行のゲート線のパルスG0が印加されているときは、第0列・第0および1ビットのソース線の電位S00およびS01は、第0行・第0列・第0および1ビットの保持容量の電位C000およびC001に伝達され、第1列・第0および1ビットのソース線の電位S10およびS11は、第0行・第1列・第0および1ビットの保持容量の電位C010およびC011に伝達される。次に、第1行のゲート線のパルスが印加されているときは、第0列・第0および1ビットのソース線の電位S00およびS01は、第1行・第0列・第0、1ビットの保持容量の電位C100およびC101に伝達され、第1列・第0および1ビットのソース線の電位S10およびS11は、第1行・第1列・第0および1ビットの保持容量の電位C110およびC111に伝達される。各保持容量の電位、すなわち対応するデジタル信号に従って、各有機EL素子が所定の発光または非発光となる。

【0033】ここで、オン状態のカレントトランジスタの抵抗は、オン状態の有機EL素子の抵抗に比べて、無視できるほど小さくなっている。このため、有機EL素子を流れる電流は、共通電極110と上側電極111間電圧に対する、有機EL素子の抵抗のみで決定され、カレントトランジスタの抵抗が多少増減しようと、関係ない。故に、トランジスタのコンダクタンスの不均一性に起因する、発光強度の不均一性は、抑制される。また、オフ状態のカレントトランジスタの抵抗は、オフ状態の有機EL素子の抵抗に比べて、極めて大きくなっている。このため確実に有機EL素子をオフ状態にすることができる。

【0034】(実施例2)図4は、本発明の実施例2に係るTFT-OELDの等価回路図である。

【0035】本実施例のTFT-OELDの動作・機能・効果は、実施例1とほぼ同等である。ただし、本実施例では、ゲート線109を下位ビット用ゲート線1090および上位ビット用ゲート線1091に分割し、おの第0ビットと第1ビット、および、第2ビットと第3ビットの機能を受け持たせている。これにより、デジタル供給線の本数、1列あたりの伝送スイッチおよびソース線の本数を、4から2に減少させることができる。ただし、ゲート線の走査信号、シフトレジスタのパルスおよびデジタル信号の周波数は倍増する。

【0036】(他の実施例)本発明は、電流発光表示素子において、トランジスタのコンダクタンスの不均一性に起因する、発光素子の発光強度の不均一性を低減することを目的とするため、液晶表示素子の面積階調方式とは、本質的に異なる。実際、電流発光表示素子においては、発光強度さえ異なれば、面積が異なっている必要さえない。ただし、その構造には、類似した点が見られる。故に、液晶表示素子の面積階調方式に対して発表されている実施例の多くは、本発明の階調方式に適用することが可能で、その発表に記述されている効果が期待できる。

【図面の簡単な説明】

【図1】本発明の実施例1に係るTFT-OELDの等価回路図。

【図2】本発明の実施例1に係るTFT-OELDの平面図および断面図。

【図3】本発明の実施例1に係るTFT-OELDの駆動方法。

【図4】本発明の実施例2に係るTFT-OELDの等価回路図。

【図5】従来のTFT-OELDの等価回路図。

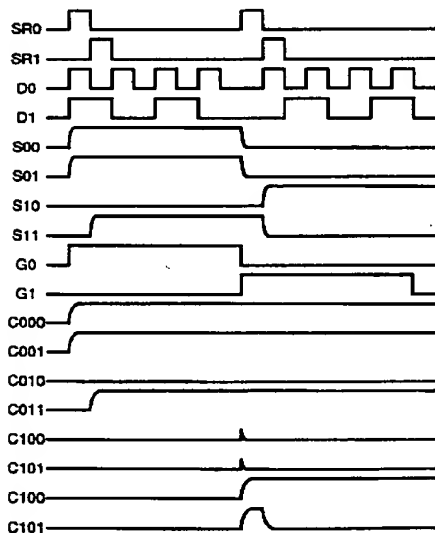
【図6】従来のTFT-OELDの駆動方法。

【符号の説明】

- 101 シフトレジスタ
- 10210 第0ビットのデジタル信号供給線
- 10211 第1ビットのデジタル信号供給線
- 10212 第2ビットのデジタル信号供給線
- 10213 第3ビットのデジタル信号供給線
- 1022 アナログ信号供給線
- 10310 第0ビットの伝送スイッチ
- 10311 第1ビットの伝送スイッチ
- 10312 第2ビットの伝送スイッチ
- 10313 第3ビットの伝送スイッチ
- 1032 伝送スイッチ
- 10410 第0ビットのソース線
- 10411 第1ビットのソース線
- 10412 第2ビットのソース線
- 10413 第3ビットのソース線
- 1042 ソース線
- 10510 第0ビットのスイッチングトランジスタ

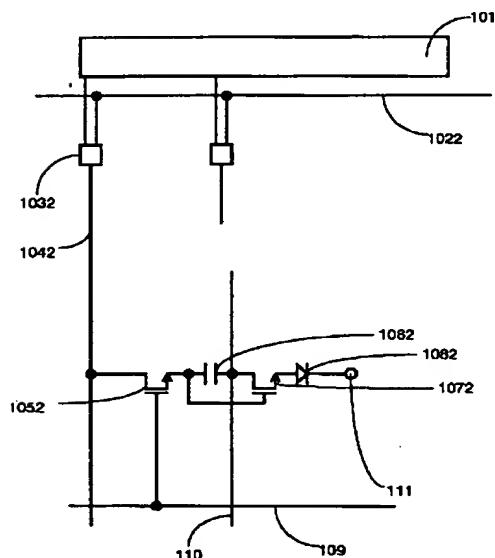
10511 第1ビットのスイッチングトランジスタ
 10512 第2ビットのスイッチングトランジスタ
 10513 第3ビットのスイッチングトランジスタ
 1052 スwitchングトランジスタ
 10610 第0ビットの保持容量
 10611 第1ビットの保持容量
 10612 第2ビットの保持容量
 10613 第3ビットの保持容量
 1062 保持容量
 10710 第0ビットのカレントトランジスタ
 10711 第1ビットのカレントトランジスタ
 10712 第2ビットのカレントトランジスタ
 10713 第3ビットのカレントトランジスタ
 1072 カレントトランジスタ
 10810 第0ビットの有機EL素子
 10811 第1ビットの有機EL素子
 10812 第2ビットの有機EL素子
 10813 第3ビットの有機EL素子
 1082 有機EL素子
 109 ゲート線
 1090 下位ビット用ゲート線
 1091 上位ビット用ゲート線
 110 共通電極
 111 上側電極
 SR0 第0列のシフトレジスタのパルス
 SR1 第1列のシフトレジスタのパルス
 D0 第0ビットのデジタル信号
 D1 第1ビットのデジタル信号
 A アナログ信号

【図3】

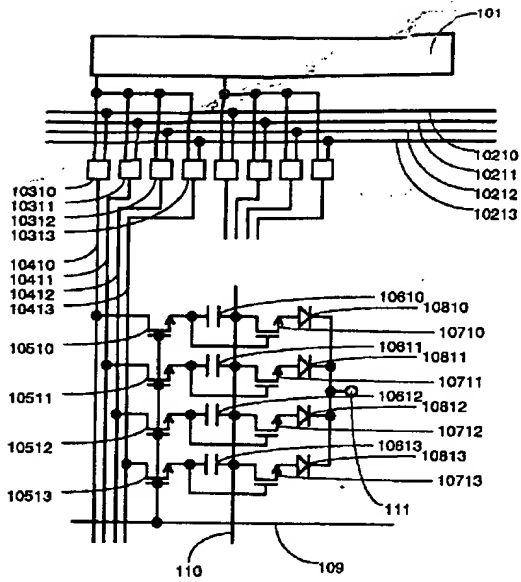


S00 第0列・第0ビットのソース線の電位
 S01 第0列・第1ビットのソース線の電位
 S10 第1列・第0ビットのソース線の電位
 S11 第1列・第1ビットのソース線の電位
 S0 第0列のソース線の電位
 S1 第1列のソース線の電位
 G0 第0行のゲート線のパルス
 G1 第1行のゲート線のパルス
 C000 第0行・第0列・第0ビットの保持容量の電位
 C001 第0行・第0列・第1ビットの保持容量の電位
 C010 第0行・第1列・第0ビットの保持容量の電位
 C011 第0行・第1列・第1ビットの保持容量の電位
 C100 第1行・第0列・第0ビットの保持容量の電位
 C101 第1行・第0列・第1ビットの保持容量の電位
 C110 第1行・第1列・第0ビットの保持容量の電位
 C111 第1行・第1列・第1ビットの保持容量の電位
 C00 第0行・第0列の保持容量の電位
 C01 第0行・第1列の保持容量の電位
 C10 第1行・第0列の保持容量の電位
 C11 第1行・第1列の保持容量の電位

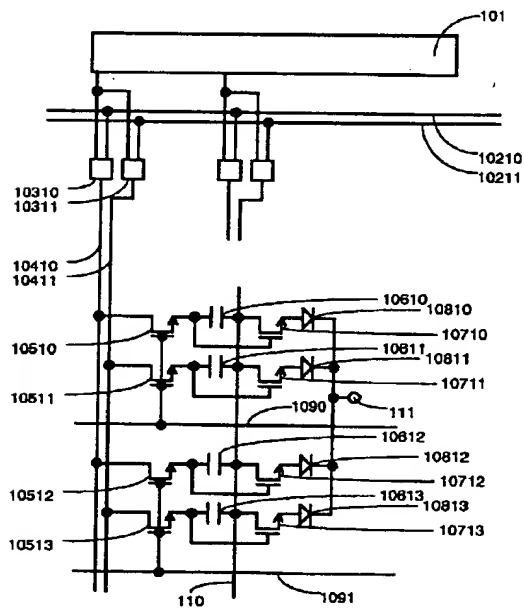
【図5】



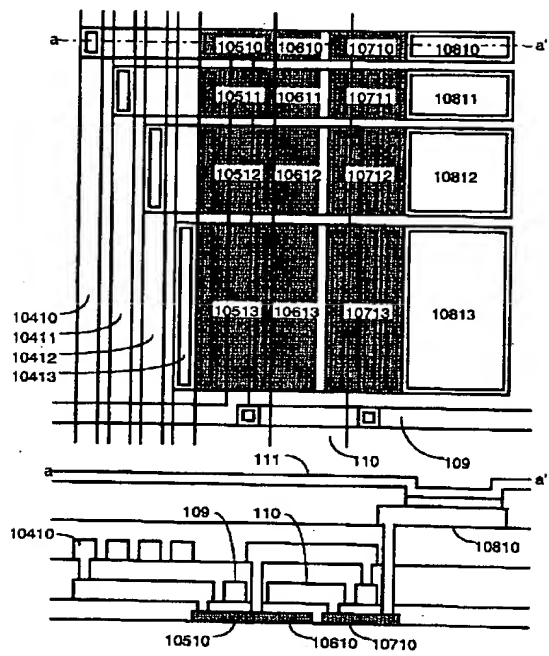
【图 1】



【图 4】



【图 2】



【图 6】

